



РОССИЙСКИЙ ФОРУМ
МИКРОЭЛЕКТРОНИКА
10 ЛЕТ



ФЕДЕРАЛЬНАЯ
ТЕРРИТОРИЯ
«СИРИУС»



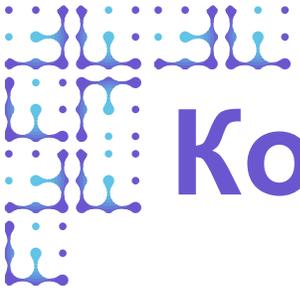
24-27
сентября 2024

10 лет
вместе!

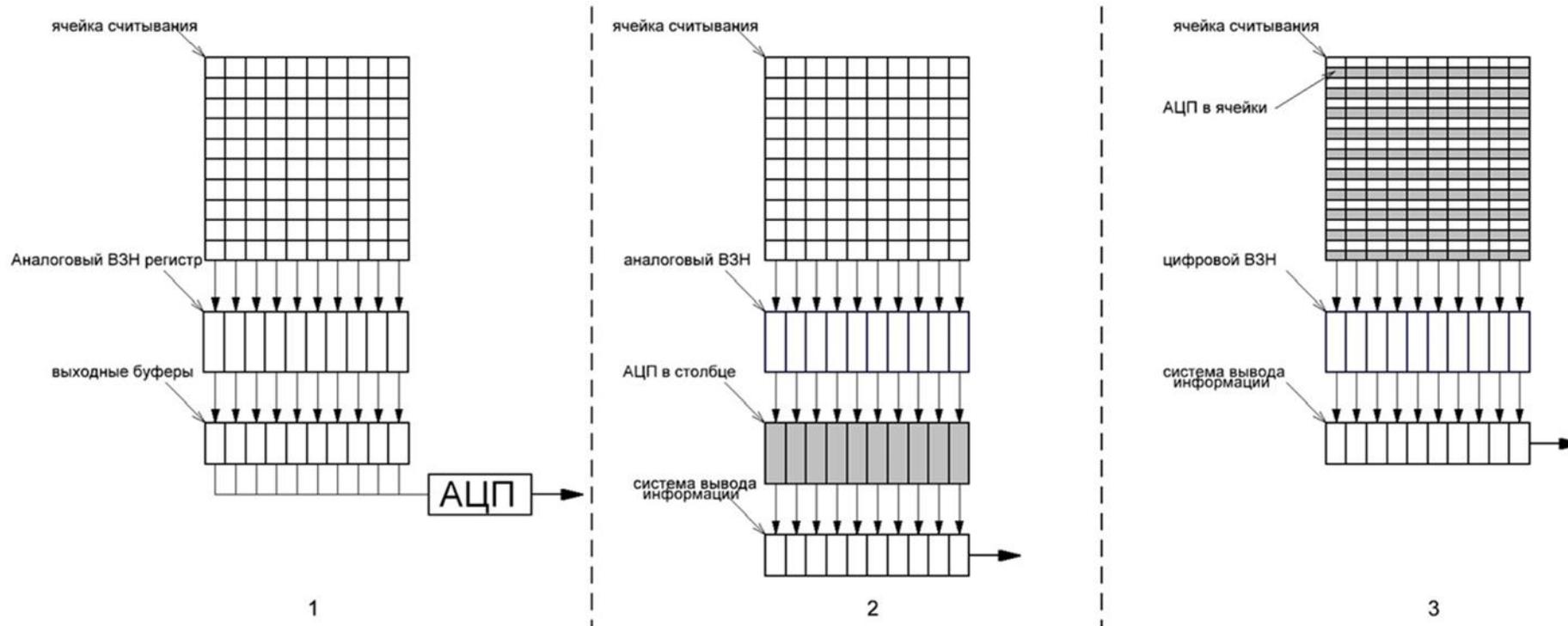
Результаты разработки передовых БИС считывания с цифровым выходом

ОРГАНИЗАЦИЯ: АО «НПО «Орион»

АВТОРЫ: Н.А. Ларионов, П. А. Кузнецов, Ю.А. Якимов, А.Н. Кузнецов



Концепция реализации



▶ 1. АЦП на выходе

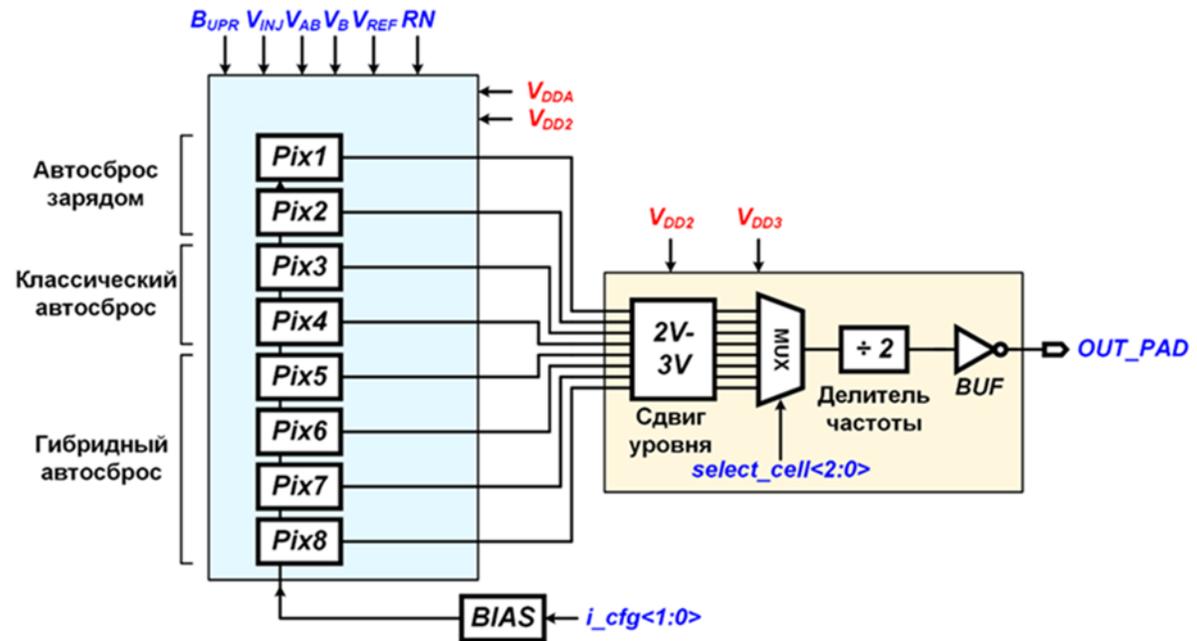
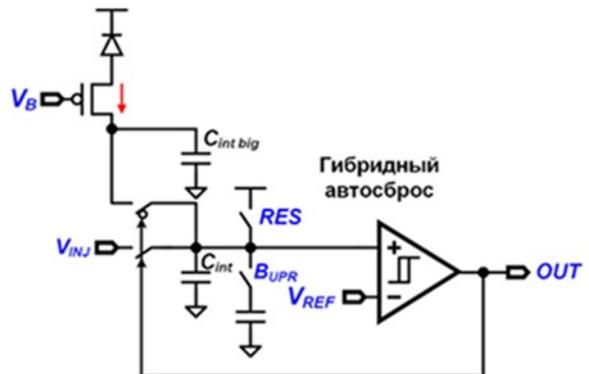
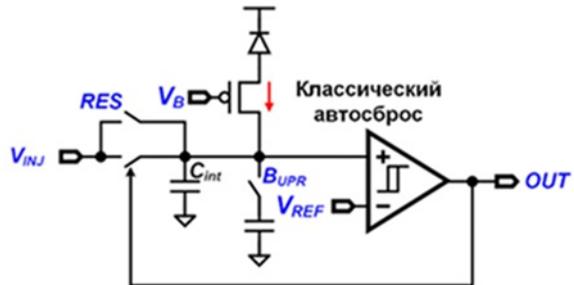
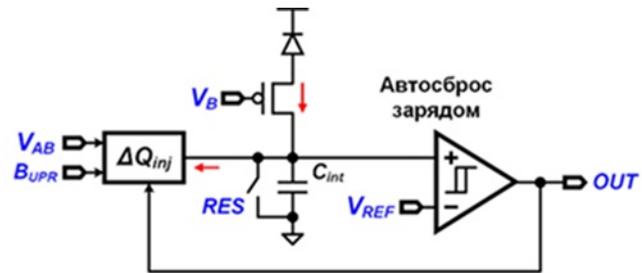
▶ 2. АЦП в столбце

▶ 3. АЦП в ячейке



АЦП в ячейке — матрицы

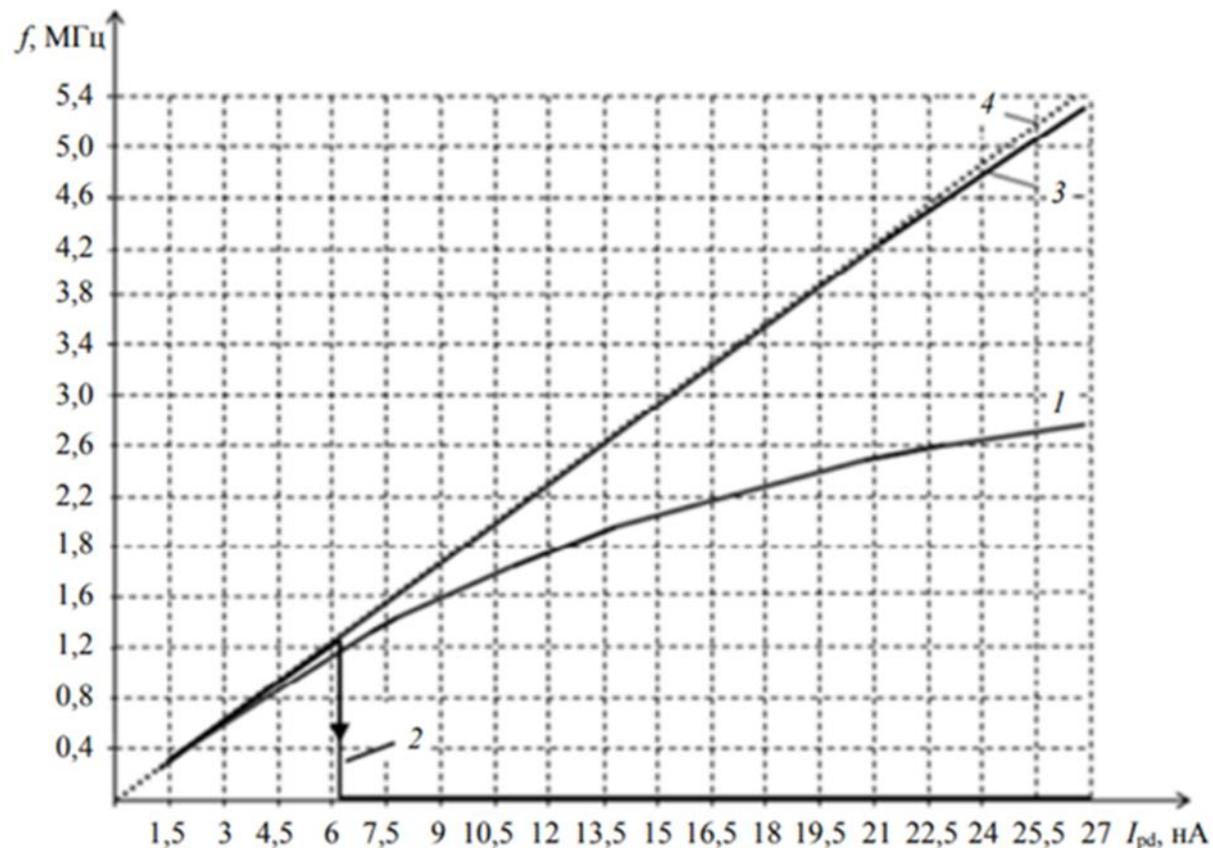
Примеры архитектур





АЦП в ячейке — матрицы

Передаточные характеристики

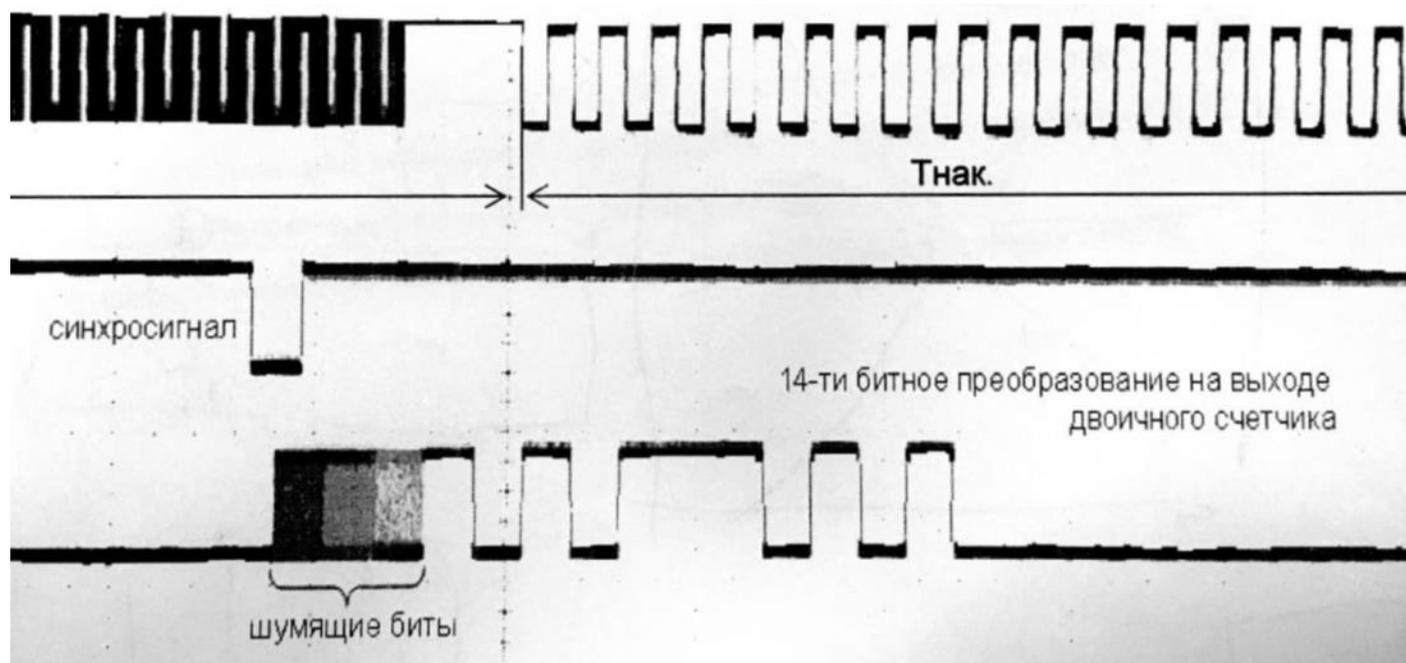


- ▶ 1. С автосбросом напряжения
- ▶ 2. С автосбросом заряда
- ▶ 3. Нового типа
- ▶ 4. Идеальная



АЦП в ячейке — матрицы

Результаты эксперимента. Оценка шума

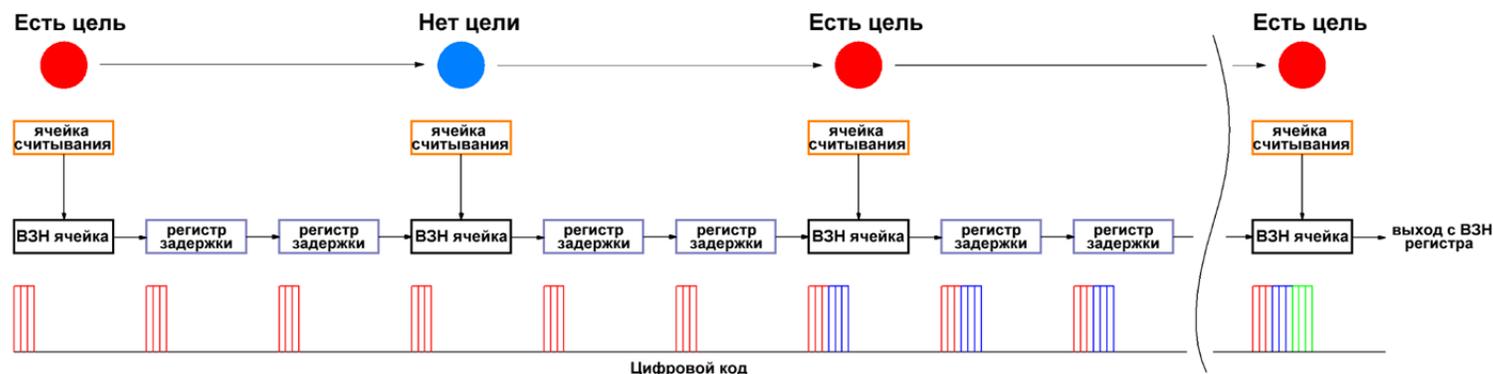


- ▶ Для периода кадра 16 мс при 50 % заполнении эквивалентной зарядовой емкости ячейки считывания фотоэлектронами (т. е. при $U_{\text{ЦАП}} = 3,3/2 = 1,65 \text{ В}$), измеренное **СКО шума составляло 140 мкВ**.
- ▶ При увеличении периода кадра в два раза и поддержании фототока на уровне $U_{\text{ЦАП}} = 1,65 \text{ В}$, СКО шума снижалось до 100– 110 мкВ.

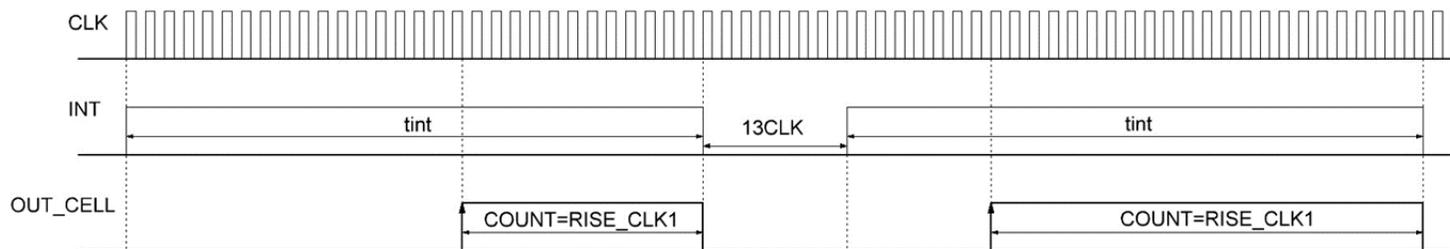


АЦП в ячейке — сканирующая Цифровая ВЗН. Принцип работы

Структурная схема



Получение цифрового кода



- ▶ CLK – счетный тактирующий импульс
- ▶ INT – сигнал задающий время
- ▶ OUT_CELL – выход ячейки считывания

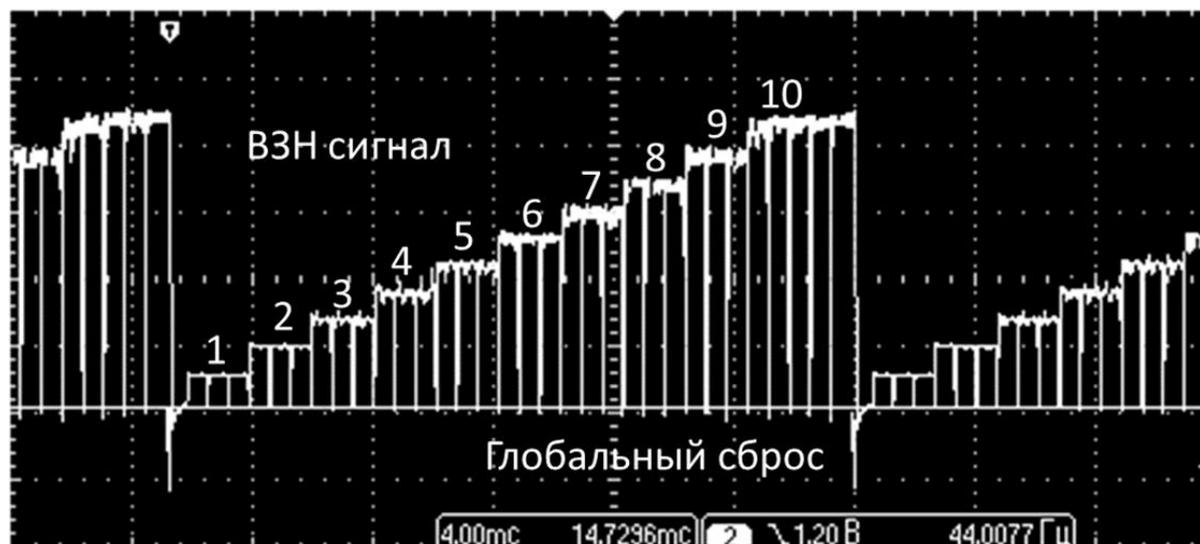


АЦП в ячейке — сканирующие ФФУ цифровой ВЗН. Результаты тестирования

Структурная схема тестирования БИС считывания

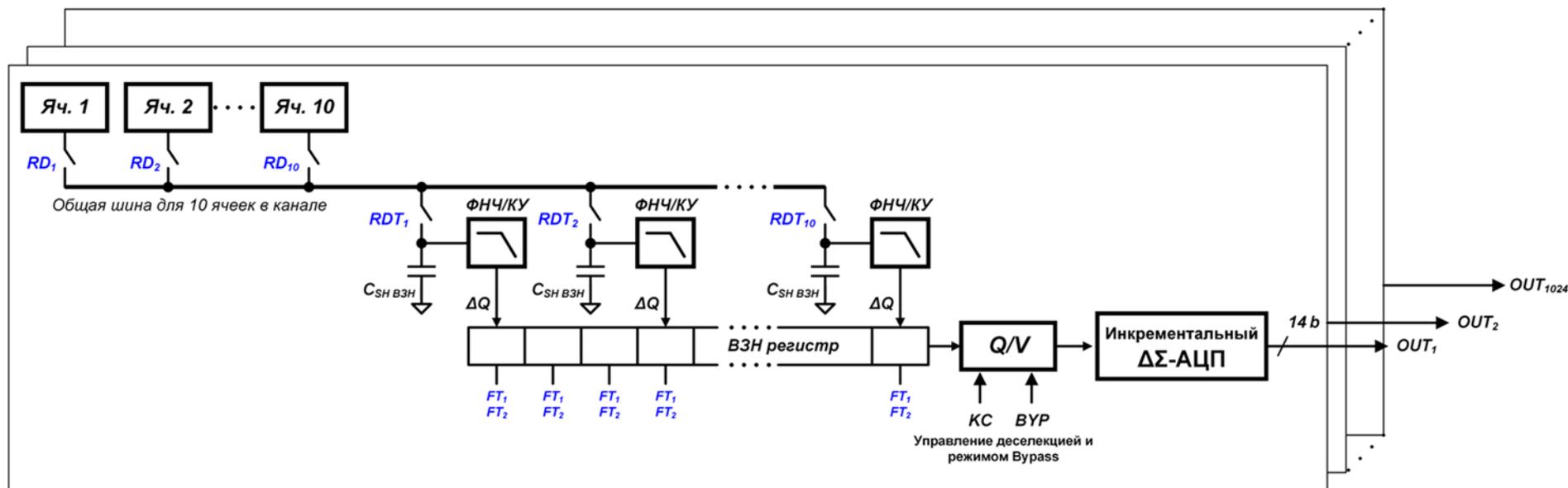


Демонстрация работы ВЗН суммирования





АЦП в столбце — сканирующие ФНЧу АЦП в столбце



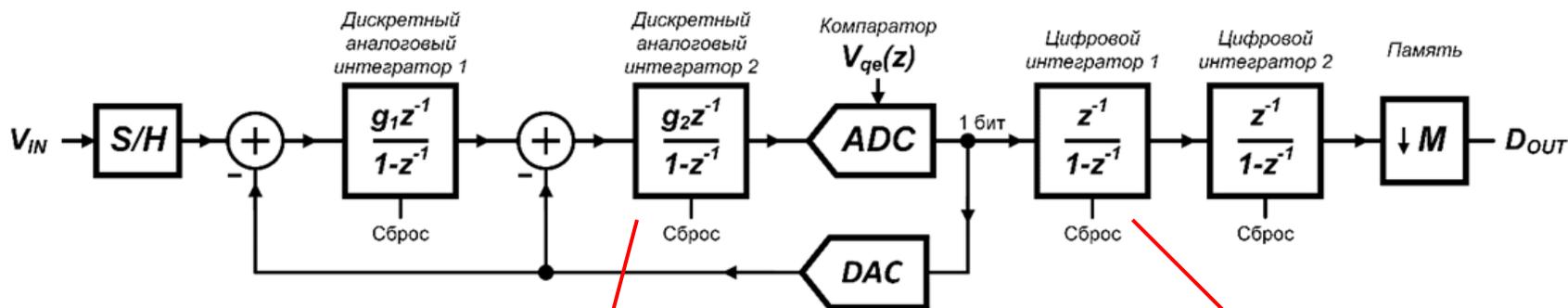
Основные блоки: ячейки считывания, ВЗН регистр, инкрементальный $\Delta\Sigma$ -АЦП.

Итого 1024 параллельных канала аналоговой обработки сигнала.

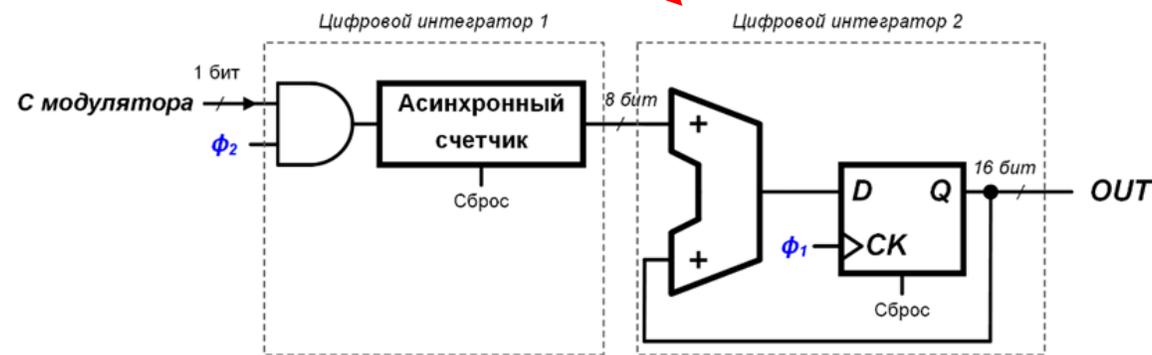
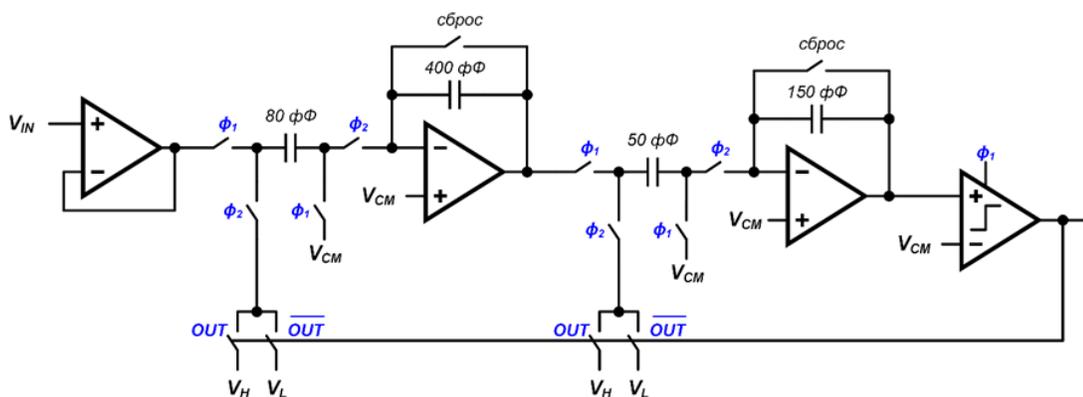
Поочерёдное считывание с ячеек через общую шину упрощает суммирование сигнала, деселекцию, реверсирование считывания, проектирование топологии, снижает помехи от шин.



АЦП в столбце — сканирующие ФФУП. Архитектура



$\Delta\Sigma$ -Модулятор 2-го порядка типа CIFB

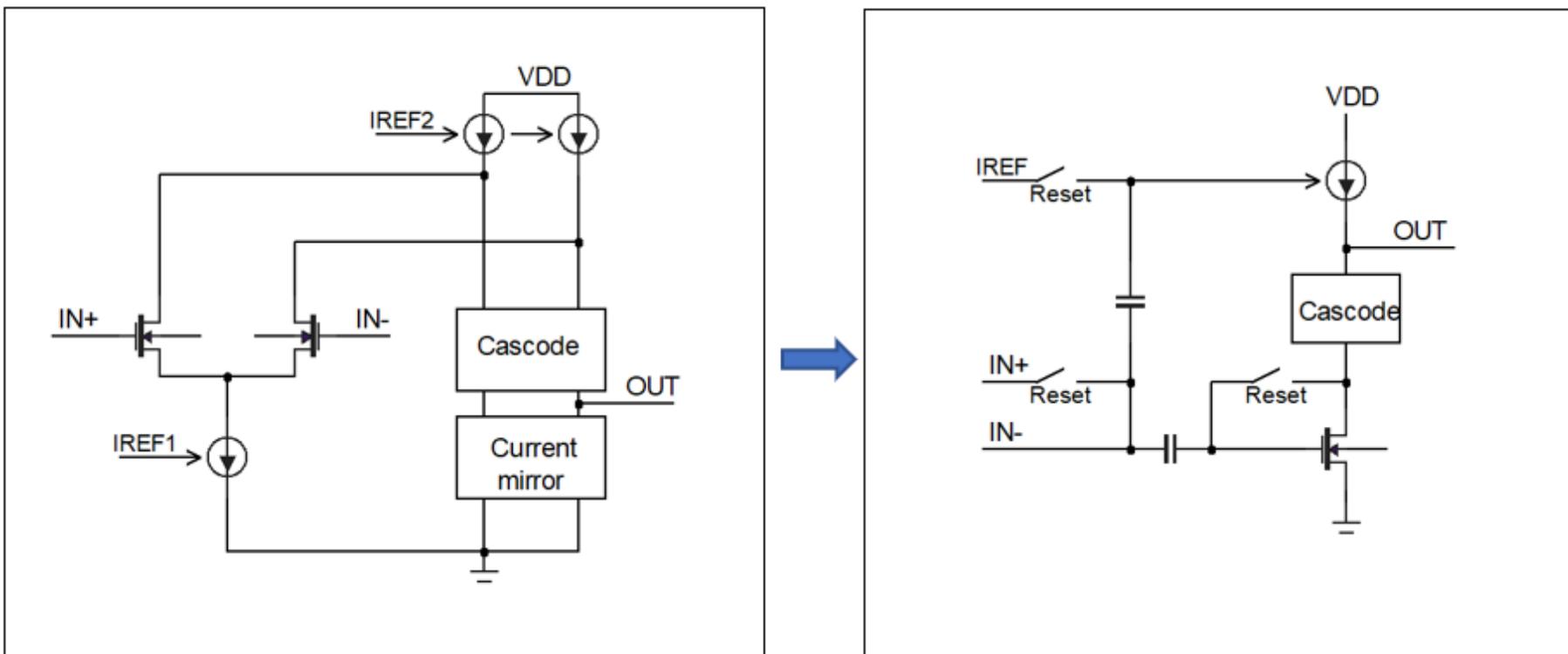


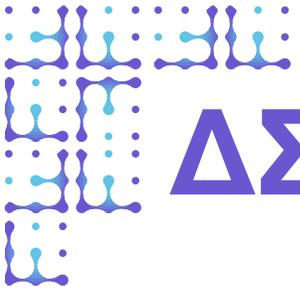


АЦП в столбце — матрицы

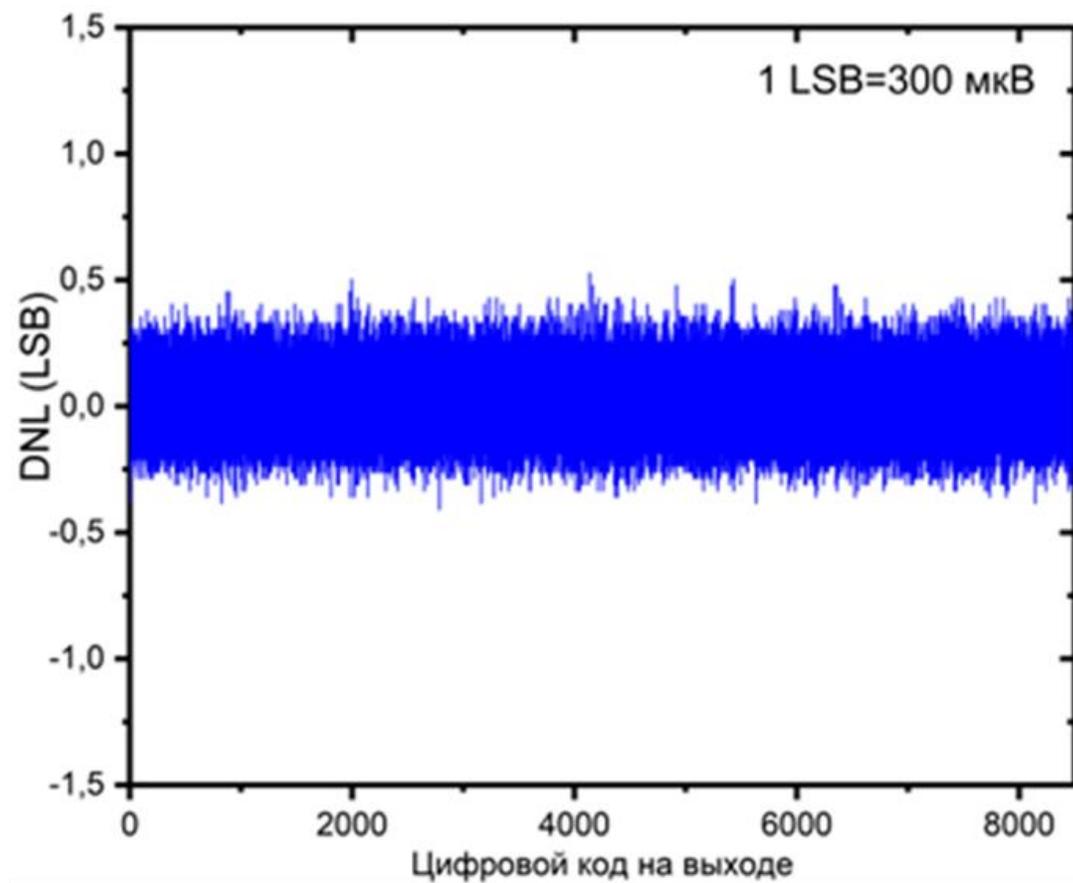
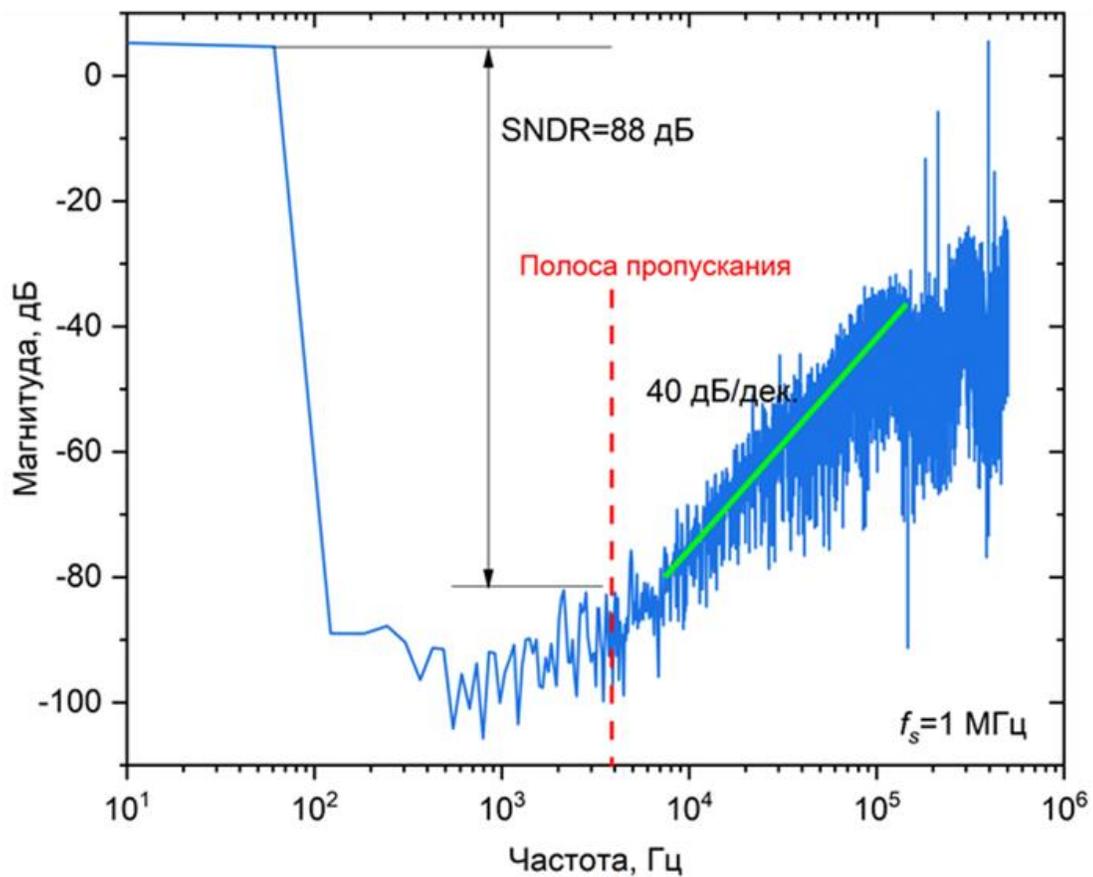
Оптимизация энергопотребления

Снижение периода кадра и времени АЦП преобразования привело к росту частоты тактирования, что, в свою очередь, привело к росту энергопотребления и его оптимизации.





ΔΣ-АЦП. Параметры



- ▶ Проведенные разработки и исследования, которые еще раз подтверждают актуальность и преимущества внедрения аналого-цифрового преобразования на кристалле.
- ▶ Разработаны ФПУ сканирующего типа как с аналого-цифровым преобразованием в ячейке, так и в столбце.
- ▶ Разработаны и испытаны прототипы ячеек считывания в АЦП для матриц смотрящего типа, а также проведена доработка АЦП в столбце для его использования в матрицах смотрящего типа.



СПАСИБО ЗА ВНИМАНИЕ!

